

PATENT ABSTRACTS OF JAPAN

230

(11)Publication number : 08-172273
(43)Date of publication of application : 02.07.1996

(51)Int.Cl. H05K 3/46
H01L 23/12

(21)Application number : 06-312864 (71)Applicant : HITACHI LTD
(22)Date of filing : 16.12.1994 (72)Inventor : YABUSHITA AKIRA
SHIGI HIDETAKA
ITO MITSUKO
KAWAI MICHIFUMI
YAMADA OSAMU
ANDO AKIHIRO
TANAKA MINORU
OTA TOSHIHIKO

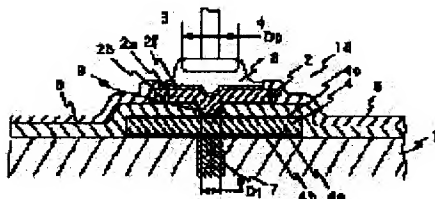
(54) CERAMIC WIRING BOARD AND ITS MOUNTING STRUCTURE

(57)Abstract:

PURPOSE: To obtain a ceramic wiring board which avoids the super-position of a strain based on a stress and which enhances the mechanical strength of a connecting electrode by a method wherein a stress-relaxation layer and an insulating layer are formed on the rear of a ceramic substrate, a through-hole opening hole, for connection, which is smaller than a specific outside-diameter value is formed and an input/output signal pin is formed.

CONSTITUTION: A circular stress-relaxation metal layer 4 is formed on the rear of a thick-film multilayer ceramic substrate 1. The surface of the stress-relaxation metal layer 4 is covered with an interlayer insulating film 6 composed of an organic material such as a polyimide-based

resin or the like in such a way that a through-hole opening 9 is made. The surface of the interlayer insulating layer 6 is covered with a circular solder-connection metal layer 2 and with a cover coat layer 5 in which an opening part has been formed. An Au-plated film 28 is formed on the surface of the solder-connection metal layer 2. An input/output signal pin 3 is connected to the Au-plated film 28 by means of solder 8. The diameter of the through-hole opening 9 is formed to be smaller than the root diameter of the signal pin 3 or 1/2 of the outside diameter of the solder-connection metal layer 2.



[Claim(s)]

[Claim 1]In a ceramic wiring board which carried out the inner layer of the wiring conductor, and was led to a rear face and the surface, A stress relaxation layer which direct continuation was carried out to said wiring conductor at the rear-face side which connects a signal pin for input and output of this ceramic wiring board, and was stuck to a rear face of ceramics and which consists of a metal layer of a circle configuration mostly, An insulating layer which consists of organic materials which covered a rear face of ceramics including the surface of this stress relaxation layer, It sticks with the surface of said stress relaxation layer through a through hole opening hole for connection formed in said insulating layer with 1/2 or less diameter of an outer diameter of said stress relaxation layer, and the surface of said insulating layer was covered and an outer diameter made it smaller than an outer diameter of said stress relaxation layer -- with a connection metal layer of a circle configuration mostly. Ease by said through hole opening hole for connection, and stress which forms an electrode for soldered joints which comprised a cover coat layer which consists of organic materials which cover a surface peripheral part, this side, and said insulating layer of this connection metal layer, and is directly added to said stress relaxation layer from said connection metal layer is constituted, A ceramic wiring board having and forming a signal pin for input and output by which the soldered joint was directly carried out to the surface which is not covered with said cover coat layer in a connection metal layer of this electrode for soldered joints.

[Detailed Description of the Invention]

[0001]

[Industrial Application]In the thick film multilayered ceramic substrate which carried out the inner layer of the wiring conductor, and was led to a rear face and the surface, this invention relates to the ceramic wiring board provided with the suitable bonding electrode for soldering of the microelectrode called especially micro soldering, and its mounting structure.

[0002]

[Description of the Prior Art]As conventional technology about the high-density-assembly modular circuit board which mounts the signal pin for direct input/output, etc. in a thick film multilayered ceramic substrate with soldering, it is indicated to JP,63-110697,A and JP,6-53648,A.

[0003]In the former, forming both circuit connection, using a zirconium layer as a glue line between ceramics or a polyimide structure, copper, or an aluminum layer is indicated.

[0004]In the wiring board in which the thin film wiring layer which laminates by turns the insulator layer which comprises a polymer material on a thick film multilayer ceramics board, and a circuit wiring film in the latter was formed, The connection pad for connecting electronic parts is formed in some circuit wiring films of said thin film wiring layer, and

covering the peripheral edge of this connection pad with an insulator layer is indicated.

[0005]

[Problem(s) to be Solved by the Invention]When a connection pad is formed and it mounts a semiconductor device on a thin film wiring layer as indicated to the latter of the above-mentioned conventional technology, Since Shimoji cascade screens are material composition with a comparatively high elastic modulus, such as polyimide system resin, the influence whose shearing force which acts on these is a resin layer and which grade absorption is carried out and it has on a ceramic substrate is eased, and there is no possibility that a ceramic substrate may be destroyed.

[0006]However, when forming direct or the electrode very for connection to the neighborhood in the rear face of a ceramic substrate, for example, carrying out a soldered joint to the signal pin for input and output as indicated to the former of the above-mentioned conventional technology, Since there is much a cascade screen's own membrane stress or amount of solder used comparatively which constitutes especially a bonding electrode, by solder's own contraction stress. The stress-strain diagram concerning the ceramic substrate by the whole bonding electrode increases, and also superposition of distortion concerning bonding electrode shape, etc. become a cause, stress which exceeds the intensity of a ceramic substrate will occur locally, a crack will occur, and fatal defects, such as destroying a ceramic substrate, will occur. Namely, as shown in drawing 8, on the thick film multilayer ceramics board (ceramic structure) 1, As a glue line. The gold layer 21 of the 0.3-1.0-micrometer thickness which is an antioxidant layer on copper of the zirconium layer 24 of 30-2000 Å of Angstrom thickness, and 2-20-micrometer thickness, aluminum or the gold layer 23, the reaction/diffusion prevention layer 24 of the solder of 0.5-3.0-micrometer thickness, and the surface. The laminated bonding electrode 20 is formed. Since the membrane stress of a thin film material itself [which constitutes the above-mentioned bonding electrode] occurs as shearing force at the end and also the contraction stress of solder occurs also at the tip of the solder which was damp and spread in the connecting electrode surface, when the soldered joint of the signal pin 3 is carried out in this state, Stress concentration will occur at the end 25 of a plane of composition with a ceramic substrate, a crack will occur in a ceramic substrate with this place as the starting point, and destruction will occur. Thus, in the former of the above-mentioned conventional technology, when direct or the electrode very for connection to the neighborhood was formed in the rear face of a ceramic substrate, for example, a soldered joint was carried out to the signal pin for input and output, it was not taken into consideration about the technical problem kept from destroying a ceramic substrate. In the latter of the above-mentioned conventional technology, it was not taken into consideration about the technical problem kept from destroying a ceramic substrate.

[0007]The purpose of this invention is to provide the rear face of a thick film

multilayer ceramics board with direct or the ceramic wiring board whose formation to the neighborhood was very enabled, and its mounting structure about the electrode for soldered joints which has the high-reliability which does not make a thick film multilayer ceramics board destroy that the technical problem of the above-mentioned conventional technology should be solved.

[0008]

[Means for Solving the Problem]To achieve the above objects, in a ceramic wiring board which this invention carried out the inner layer of the wiring conductor, and was led to a rear face and the surface, A stress relaxation layer which direct continuation was carried out to said wiring conductor at the rear-face side which connects a signal pin for input and output of this ceramic wiring board, and was stuck to a rear face of ceramics and which consists of a metal layer of a circle configuration mostly, With $1/2$ or less diameter of an outer diameter of an insulating layer which consists of organic materials which covered a rear face of ceramics including the surface of this stress relaxation layer, and said stress relaxation layer, or a path smaller than an outer diameter of a root of a signal pin for said input and output. it stuck with the surface of said stress relaxation layer through a through hole opening hole for connection formed in said insulating layer, and the surface of said insulating layer was covered, and an outer diameter made it smaller than an outer diameter of said stress relaxation layer -- with a connection metal layer of a circle configuration mostly. Ease by said through hole opening hole for connection, and stress which forms an electrode for soldered joints which comprised a cover coat layer which consists of organic materials which cover a surface peripheral part, this side, and said insulating layer of this connection metal layer, and is directly added to said stress relaxation layer from said connection metal layer is constituted, It is a ceramic wiring board having and forming a signal pin for input and output by which the soldered joint was directly carried out to the surface which is not covered with said cover coat layer in a connection metal layer of this electrode for soldered joints.

[0009]In a ceramic wiring board which this invention carried out the inner layer of the wiring conductor, and was led to a rear face and the surface, A stress relaxation layer which direct continuation was carried out to said wiring conductor at the rear-face side which connects a signal pin for input and output of this ceramic wiring board, and was stuck to a rear face of ceramics and which consists of a metal layer of a circle configuration mostly, An insulating layer which consists of organic materials which covered a rear face of ceramics including the surface of this stress relaxation layer, it stuck with the surface of said stress relaxation layer through a through hole opening hole for connection formed in this insulating layer, and the surface of said insulating layer was covered, and an outer diameter made it smaller than an outer diameter of said stress relaxation layer -- with a connection metal layer of a circle configuration mostly. Stress which forms an electrode

for soldered joints which comprised a cover coat layer which consists of organic materials which cover a surface peripheral part, this side, and said insulating layer of this connection metal layer, and is directly added to said stress relaxation layer from said connection metal layer, Ease by said through hole opening hole for connection formed with 1/2 or less diameter of an outer diameter of said connection metal layer, and it constitutes, It is a ceramic wiring board having and forming a signal pin for input and output by which the soldered joint was directly carried out to the surface which is not covered with said cover coat layer in a connection metal layer of said electrode for soldered joints.

[0010]In said ceramic wiring board, as for this invention, said through hole opening hole for connection spreads out in the signal pin side for said input and output. A stress relaxation base material layer to which this invention uses copper or aluminum NYUMU as the main ingredients for said stress relaxation layer in said ceramic wiring board, Chromium or titanium formed in the undersurface and the upper surface of a stress relaxation base material layer was formed by an adhesion metal layer used as the main ingredients so that the undersurface of this stress relaxation base material layer might be pasted up with a rear face of said ceramics and the upper surface of said stress relaxation base material layer might be pasted up with said insulating layer. A diffusion prevention layer of solder in which this invention uses as the main ingredients at least one kind chosen from an alloy of copper, nickel, nickel, and copper, and an alloy of nickel and tungsten in said connection metal layer in said ceramic wiring board, Chromium or titanium formed in the insulating-layer side of a diffusion prevention layer of said solder so that it might be made to paste up with said insulating layer was formed by adhesion metal layer used as the main ingredients, and an antioxidant metal layer formed in a soldered-joint side of a diffusion prevention layer of said solder.

[0011]In a ceramic wiring board which this invention carried out the inner layer of the wiring conductor, and was led to a rear face and the surface, A stress relaxation layer which consists of a metal layer of a circle configuration which direct continuation was carried out to said wiring conductor at the rear-face side which connects a signal pin for input and output of this ceramic wiring board, and was stuck to a rear face of ceramics, With 1/2 or less diameter of an outer diameter of an insulating layer which consists of organic materials which covered a rear face of ceramics including the surface of this stress relaxation layer, and said stress relaxation layer, or a path smaller than an outer diameter of a root of a signal pin for said input and output. A connection metal layer of a circle configuration which stuck with the surface of said stress relaxation layer through a through hole opening hole for connection formed in said insulating layer, and covered the surface of said insulating layer, and an outer diameter made smaller than an outer diameter of said stress relaxation layer, Ease by said through hole opening hole for connection, and stress which forms an electrode for soldered

joints which comprised a cover coat layer which consists of organic materials which cover a surface peripheral part, this side, and said insulating layer of this connection metal layer, and is directly added to said stress relaxation layer from said connection metal layer is constituted, A signal pin for input and output by which the soldered joint was directly carried out to the surface which is not covered with said cover coat layer in a connection metal layer of this electrode for soldered joints is had and formed, It is the ceramic wiring board mounting structure having carried out the soldered joint of the integrated circuit to a soldered-joint terminal which equipped the surface of said ceramic wiring board with a thin film multilevel interconnection circuit connected with a wiring conductor, and was formed in the surface of this thin film multilevel interconnection circuit, and constituting it for it.

[0012]In a ceramic wiring board which this invention carried out the inner layer of the wiring conductor, and was led to a rear face and the surface, A stress relaxation layer which consists of a metal layer of a circle configuration which direct continuation was carried out to said wiring conductor at the rear-face side which connects a signal pin for input and output of this ceramic wiring board, and was stuck to a rear face of ceramics, An insulating layer which consists of organic materials which covered a rear face of ceramics including the surface of this stress relaxation layer, A connection metal layer of a circle configuration which stuck with the surface of said stress relaxation layer through a through hole opening hole for connection formed in this insulating layer, and covered the surface of said insulating layer, and an outer diameter made smaller than an outer diameter of said stress relaxation layer, Stress which forms an electrode for soldered joints which comprised a cover coat layer which consists of organic materials which cover a surface peripheral part, this side, and said insulating layer of this connection metal layer, and is directly added to said stress relaxation layer from said connection metal layer, Ease by said through hole opening hole for connection formed with 1/2 or less diameter of an outer diameter of said connection metal layer, and it constitutes, Have and form a signal pin for input and output by which the soldered joint was directly carried out to the surface which is not covered with said cover coat layer in a connection metal layer of said electrode for soldered joints, and it has a thin film multilevel interconnection circuit connected with a wiring conductor on the surface of said ceramic wiring board, It is the ceramic wiring board mounting structure having carried out the soldered joint of the integrated circuit to a soldered-joint terminal formed in the surface of this thin film multilevel interconnection circuit, and constituting it for it.

[0013]In a ceramic wiring board which this invention carried out the inner layer of the wiring conductor, and was led to a rear face and the surface, A stress relaxation layer which direct continuation was carried out to said wiring conductor at the rear-face side of this ceramic wiring board by which a soldered joint is carried out, and was stuck to a rear face of ceramics and which consists of a metal layer of a circle configuration mostly, An insulating

layer which consists of organic materials which covered a rear face of ceramics including the surface of this stress relaxation layer, It sticks with the surface of said stress relaxation layer through a through hole opening hole for connection formed in said insulating layer with 1/2 or less diameter of an outer diameter of said stress relaxation layer, and the surface of said insulating layer was covered and an outer diameter made it smaller than an outer diameter of said stress relaxation layer -- with a connection metal layer of a circle configuration mostly. Ease by said through hole opening hole for connection, and stress which forms an electrode for soldered joints which comprised a cover coat layer which consists of organic materials which cover a surface peripheral part, this side, and said insulating layer of this connection metal layer, and is directly added to said stress relaxation layer from said connection metal layer is constituted, It is a ceramic wiring board forming so that the soldered joint of the surface which is not covered with said cover coat layer in a connection metal layer of said electrode for soldered joints may be carried out directly.

[0014]

[Function]By the way, if the metal membrane represented by the thin film is formed on the ceramic substrate 1, stress will occur in the ceramic substrate 1 by the membrane stress of a film itself [the]. Also when this forms a pattern like the electrode for soldered joints, stress will concentrate it with the pattern shape. The situation of generating of stress concentration added to the ceramic substrate 1 by lamination of a metal membrane is shown in drawing 6. Drawing 6 (a) shows the case where Cu (thickness: about 4 micrometers) is formed as the stress relaxation layer 34 on the ceramic substrate 1 at a predetermined pattern, for example. drawing 6 (b) -- the same -- the ceramic substrate 1 top -- as the connection metal layer 32 -- for example, a nickel-W alloy (thickness: about 2 micrometers) -- temporary -- the radius R4 of the stress relaxation layer 34 -- the radius R2 -- ΔR -- the case where made it small and it forms in a predetermined pattern is shown. Drawing 6 (c) shows the case where laminated both thin film and it forms in a predetermined pattern. In these state, the result analyzed using the property value of a component is distortion of the stress generated in the 1st page of a ceramic substrate a characteristic figure of drawing 6 (d) and (e), and it drawing 6 (d), Stress thin film independent [each] is written together and shown, and the value with the bigger stress 61 by the connection metal layer 32 than the stress 62 by the stress relaxation layer 34 is shown. however, these -- temporary -- the radius R4 of the stress relaxation layer 34 -- the radius R2 of the connection metal layer 32 -- ΔR -- it being made small, and distortion generated in the end face of the upper connection metal layer 32 under the influence of the lower layer stress relaxation layer 34 as the stress 63 showed to drawing 6 (e), although eased even if it laminates, In the whole cascade screen, a big distortion has appeared in the end face of the stress relaxation layer 34. Are in this state, and also as shown in drawing 7 (a), when soldering 36 is performed, since the peripheral edge of the

connection metal layer 32 and the peripheral edge of solder were separated by forming the cover coat layer 35 which controls the wetted area of solder temporarily, can avoid superposition of distortion, but. Without receiving influence in this cover coat layer 35 not much, as shown in drawing 7 (b), The stress 64 of solder will be added to especially the end face of the connection metal layer 32, The stress 64 added to the connection metal layer 32 as a result will spread directly to the stress relaxation layer 34 stuck to the periphery of the connection metal layer 32, and the stress concentration more than intensity $\Delta\sigma_0$ of the ceramic substrate 1 will be added to the peripheral edge of the stress relaxation layer 34, The ceramic substrate 1 will be made to generate a crack and a ceramic substrate will be destroyed.

[0015] This invention is created based on the above-mentioned analysis result. Namely, even if it forms in the rear face of a thick film multilayered ceramic substrate directly the electrode for soldered joints which carries out the soldered joint of the signal pin for input and output, etc. by said composition in this invention, The through hole opening hole for connection of path ϕD_1 smaller than outer diameter ϕD_0 of the root of the signal pin $1/2$ or less and for input and output of $1/2$ or less [of outer diameter ϕD_4 of a stress relaxation layer], and the outer diameter of connection metal layer ϕD_2 , The insulating layer which consists of organic materials inserted between a connection metal layer and a stress relaxation layer, distributing a stress-strain diagram in a connection metal layer by the cover coat layer which covers the surface peripheral part of a connection metal layer -- the above -- in the through hole opening hole for connection which has path ϕD_1 limited small, adhesion junction of a connection metal layer and the stress relaxation layer is carried out.

Therefore, it reduces that reduce making a stress-strain diagram spread directly to a stress relaxation layer, and stress concentration arises to a ceramic substrate in the peripheral end of a stress relaxation layer, It can prevent generating a crack in a ceramic substrate, namely, generating of the critical defect of destroying a ceramic substrate can be prevented, and a soldered joint can be realized to the electrode for soldered joints formed in the rear face of a thick film multilayered ceramic substrate in the signal pin for input and output, etc. with high-reliability.

Outer diameter ϕD_0 of the root of the signal pin 3 for the input and output from the state of soldering shown in drawing 3, If it takes into consideration that the periphery of the connection metal layer 2 is covered with the L_1 =about 0.1-mm cover coat layer 5, It becomes about $1/2$ the relation two of outer diameter ϕD_2 of the connection metal layer 2, and it is clear that path ϕD_1 's of the through hole opening hole for connection it is good to form or less [of outer diameter ϕD_2 of below outer diameter ϕD_0 of the root of the signal pin 3 or the connection metal layer 2] by $1/2$. In drawing 3, although the case where difference L_2 of radius $\phi D_2/2$ of the connection metal layer 2, and radius $\phi D_4/2$ of a stress relaxation layer is about 0.2 mm is shown, If the connection metal layer 2 is formed so that this difference may be made

small, path ϕD_1 of the through hole opening hole for connection will become clear [that $1/2$ or less / of outer diameter ϕD_4 of a stress relaxation layer / is good].

[0016]As for path ϕD_1 of the through hole opening hole for connection, $2/3$ or less [of outer diameter ϕD_0 of the root of the signal pin 3 for the input and output from the stress characteristics shown in drawing 3] is the most desirable. However, as for path ϕD_1 of the through hole opening hole for connection, since the connection resistance of the connection metal layer 3 and the stress relaxation layer 4 will become high if path ϕD_1 of the through hole opening hole for connection becomes small, not less than 40 micrometers is desirable.

[0017]Namely, at this invention, superposition in the peripheral edge of solder and the peripheral edge of a connection metal layer is lost by said composition by forming a cover coat layer in the surface periphery of a connection metal layer, And it reduces that a stress-strain diagram makes it separation the originating point of a stress-strain diagram and spread directly to a stress relaxation layer dispersedly by using the through hole opening diameter of the interlayer insulation film of a size sufficiently smaller than $1/2$ of the outer diameter of a stress relaxation layer, $1/2$ of the outer diameter of a connection metal layer, or the root outer diameter of the signal pin 3 connected.

Therefore, it was checked that the characteristic with sufficient margin for the intensity of a ceramic substrate is obtained.

[0018]The replacement work (repair) etc. of parts, such as a signal pin by which connection mounting is carried out, in a required case like the mounting module board for computers which starts this invention especially. The solder of a terminal area fuses each time, and since a diffusion reaction progresses, it will be necessary to form more thickly than usual the thickness of the diffusion prevention layer metal in a connection metal layer according to the number of times of repair. Soldered joints which have high-reliability, such as a signal pin for input and output, can be realized without destroying a ceramic substrate in such a case.

[0019]

[Example]The example of this invention is concretely described using a drawing.

[0020]First, the mounting structure provided with the ceramic wiring board concerning this invention is explained based on the example shown in drawing 4. That is, drawing 4 is a main section structure figure of the mounting structure provided with the ceramic wiring board. The thick film multilayered ceramic substrate 1 has the inner layer wiring conductor 11 which was led to the rear face as 7 and led also to the surface, and is formed with alumina, mullite, crystallized glass, etc. On this thick film multilayered ceramic substrate 1, the thin film multilevel interconnection circuit 10 which has the thin film multilayer structure which laminated organic materials,

such as polyimide system resin, for the wiring connected with the wiring conductor 11 led to the surface as an interlayer insulation film is formed. The soldered-joint terminal 12 is formed in the surface of this thin film multilevel interconnection circuit 10, and connection mounting of this soldered-joint terminal 12 is carried out with the contact button 15 and the solder 13 of the integrated circuit (LSI) 14.

[0021]The electrode 18 for soldered joints for connecting the rear face of the thick film multilayered ceramic substrate 1 between the wiring conductor 7 led to the rear face and the signal pin 3 for input and output is formed. And the signal pin 3 for input and output implanted in the rear face of the thick film multilayered ceramic substrate 1 is inserted and connected to the printed wired board 16 or the connector in which the circuit pattern 17 was formed. [many] The signal pin 3 for input and output is soldered after inserting in the printed wired board 16 if needed. The mounting structure provided with the ceramic wiring board concerning this invention is constituted as explained above. Next, the example of the electrode 18 for soldered joints provided in the rear face of the thick film multilayered ceramic substrate 1 concerning this invention is described using drawing 1 and drawing 2.

[0022]First, in the rear face of the thick film multilayered ceramic substrate 1 formed with crystallized glass etc. Outer diameter ϕD_4 are 1.2 mm - 2.0 mm (in drawing 3). About 1.6 mm is shown. The stress relaxation metal layer 4 of the circle configuration (arc-shaped quadrilateral shape may be sufficient as the corner approximated to the circle configuration.) which it has The glue line 4b of Cr or Ti (thickness: 0.05-0.2 micrometer), It comprises the stress relaxation metal layer base 4a of Cu or aluminum (thickness: 4-6 micrometers), and the glue line 4c of Cr or Ti (thickness: 0.03-0.1 micrometer), and is stuck and joined. That is, stick with the rear face of the thick film multilayered ceramic substrate 1, and it is joined by the glue line 4b, and this stress relaxation metal layer 4 sticks the wiring conductor 7 with a diameter of 50 micrometers - 100 micrometers embedded at the thick film multilayered ceramic substrate 1, and is electrically connected.

[0023]The layer insulation layer 6 (thickness: micrometers [4] - 10 micrometers) which consists of organic materials, such as polyimide system resin, is covered by the surface of this stress relaxation metal layer 4, and the through hole opening 9 whose path ϕD_1 are 50 micrometers - 400 micrometers so that the surface of the stress relaxation metal layer 6 may be exposed is formed in it. In drawing 3 the case where path ϕD_1 of the through hole opening 9 is 240 micrometers is shown. Inclination is attached to this through hole opening 9 so that the signal pin 3 side may spread.

[0024]In the surface and the through hole opening 9 of this layer insulation layer 6. Outer diameter ϕD_2 are 1.0 mm - 1.4 mm (in drawing 3). About 1.2 mm is shown. The soldered-joint metal layer 2 of the circle configuration (arc-shaped quadrilateral shape may be sufficient as the corner approximated to the circle configuration.) which it has Glue line 2b of Cr or

Ti (thickness: 0.03-0.1 micrometer), It comprises the connection metal layer base 2a of Cu, nickel, or nickel-Cu alloy or a nickel-W alloy (thickness: 1.5 micrometers - 3 micrometers), adhesion junction is carried out with the surface of the stress relaxation metal layer 4 in the through hole opening 9, and it is stuck with the surface of the layer insulation layer 6. That is, only in the through hole opening 9, adhesion junction of this soldered-joint metal layer 2 is carried out with the surface of the stress relaxation metal layer 4. Thus, the stress-strain diagram produced on the soldered-joint metal layer 2 since the layer insulation layer 6 comprised organic materials, such as polyimide system resin, It distributes in the soldered-joint metal layer 2, only by ϕD_1 's letting the through hole opening 9 which are 50 micrometers - 400 micrometers pass, it will spread to the stress relaxation metal layer 2, and it will decrease dramatically.

[0025]The surface of said layer insulation layer 6 is covered with the cover coat layer 5 (thickness: micrometers [3] - 7 micrometers) which consists of an organic system polyimide resin film so that $L_1=50$ micrometers - 200 micrometers of peripheries of this soldered-joint metal layer 2 may be covered.

[0026]In the surface of this soldered-joint metal layer 2, as for the opening (solder wet field) which is not covered with the cover coat layer 5, Au plating film (thickness: about 0.05 micrometer) 28 as an antioxidant layer is formed. The soldered joint of this Au plating film 28 is carried out to the signal pin 3 for input and output of root outer diameter: $\phi D_0=\phi 0.4\text{mm}-0.8\text{mm}$ (about 0.6 mm is shown in drawing 3.) (construction material: Cu system alloy) by solder material: Au-20wt%Sn (melting point = 280 degrees C), for example.

[0027]Next, it is made to correspond with the structure of the electrode for soldered joints in this invention based on drawing 3, and the stress distribution (Kg/mm^2) which acts on the rear face of the thick film multilayered ceramic substrate 1 is explained. As the solid line 19 showed drawing 3, exceeding intensity $\Delta\sigma_0$ which destroys the ceramic substrate 1 in the peripheral edge of the stress relaxation metal layer 4 as compared with the solid line 65 showing drawing 7 was lost. Namely, so that clearly from the solid line 19 the layer insulation layer 6, Since it comprises organic materials, such as polyimide system resin, the stress-strain diagram produced on the soldered-joint metal layer 2, Only by distributing in the soldered-joint metal layer 2 and ϕD_1 's letting the through hole opening 9 which are 50 micrometers - 400 micrometers pass, it will spread to the stress relaxation metal layer 2, So that a stress concentration part may be distributed and it may have a margin to intensity $\Delta\sigma_0$ which destroys the ceramic substrate 1, It could decrease substantially, could prevent producing and cheating out of a crack to the ceramic substrate 1, and made it possible to provide in the neighborhood the electrode for soldered joints which carries out the soldered joint of the signal pin 3 grade at the rear face of the ceramic substrate 1 directly or very much in the state of having high-reliability. the ceramic substrate 1 is not destroyed as mounting structure provided with the

ceramic wiring board by this, and it may have high-reliability.

[0028]A margin can be increasingly given to intensity $\Delta\sigma_0$ which destroys the ceramic substrate 1 by making the path of the through hole opening 9 smaller enough than one half of diameter of root ϕD_0 of the signal pin 3, or outer diameter ϕD_2 of the soldered-joint metal layer 2. That is, in the inner area of diameter of root ϕD_0 of the signal pin 3, the direction of the stress shows a compressive tendency. Since this has the signal pin 3 and the coefficient of thermal expansion (α) of solder material larger than the coefficient of thermal expansion of the ceramic substrate 1, the portion without the influence of the stress concentration by a shape change etc. serves as a compressive stress field. From this phenomenon, the through hole opening diameter (ϕD_1) of the interlayer insulation film 6 by making it smaller than one half of outer diameter ϕD_2 of the diameter of a root of the signal pin 3 (ϕD_0), or the soldered-joint metal layer 2, The result which can be reduced to such an extent that the influence can be disregarded by moving the stress concentration superimposed near the soldered-joint metal layer 2 peripheral end to the field by the side of compression near the path (ϕD_1) end of the through hole opening 9 of the interlayer insulation film 6 is obtained. Superposition is separable when L_1 is formed by formation of the cover coat layer 5 between the peripheral end of the soldered-joint metal layer 2, and the peripheral end of solder wet, Distribution of the stress-strain diagram point concerning the ceramic substrate 1 is achieved further, and a soldered joint with sufficient margin for intensity $\Delta\sigma_0$ of the ceramic substrate 1 can be realized directly or very much in the neighborhood to the ceramic substrate 1.

[0029]Next, the manufacturing method of the ceramic wiring board concerning this invention is explained according to the contents shown in drawing 5. The thick film multilayered ceramic substrate 1 is manufactured by a. thick film circuit board process. That is, it can manufacture by printing the inner conductor wiring 11, creating a green sheet, and laminating and sintering these with techniques, such as screen-stencil, on high resistance materials, such as alumina, mullite, and crystallized glass.

[0030]Next, by the process of b-f, the electrode 18 for soldered joints which carries out the soldered joint of the signal pin 3 grade to the rear face of the thick film multilayered ceramic substrate 1 is manufactured.

[0031]First, in b. matching layer (stress relaxation metal layer) pattern formation process, the surface grinds with high precision, The stress relaxation metal layer 4 which constitutes the role of the stress relaxation of the soldered-joint metal layer 2 at the rear face of the smoothed thick film multilayered ceramic substrate 1, The thin film of Cr, Ti/Cu, aluminum/Cr, or Ti is formed by sputtering from a ground, and it patternizes by etching to a circle configuration mostly, and it connects with the wiring conductor 7, and is made to stick the thick film multilayered ceramic substrate 1 and directly. Each thickness is about 0.1 micrometer / about 5 micrometers / about 0.05 micrometer. At this time, it etches into the mixed liquor of Felix potash

cyanide / hydroxylation potash, and processing of Cu at processing of Cr with the application of the mixed liquor of phosphoric acid / a nitric acid system.

[0032]Next, in c. layer insulation layer formation process, polyimide resin is formed by the spin applying method on the rear face of the thick film multilayered ceramic substrate 1, and the layer insulation layer 6 is formed by heat-treating at 350 degrees C. This thickness to form is about 6 micrometers. And the through hole opening 9 to this polyimide film, After forming a desired resist pattern in the surface of the layer insulation layer 6, it is processed by the simple method by the conventional photolithography using the method of etching with the mixed liquor of hydrazine/ethylenediamine system, or the polyimide resin which had a photosensitive function beforehand.

[0033]Next, in d. soldered-joint metal layer formation process, Cr, Ti/Cu, Cu, nickel, or nickel-Cu alloy or the nickel-W alloy film as the soldered-joint metal layer 2 is formed on this by the same method as the stress relaxation metal layer 4, i.e., sputtering, and etching. Thickness is about 0.05 micrometer/2 micrometer. At this time, etchant of a fluoric acid system is applied to the etching processing of a nickel-W alloy film. Next, in e. cover coat layer formation process, the cover coat layer 5 is formed in the surface with the same technique as the layer insulation layer 6. This thickness is about 4 micrometers. In f. plating film formation process, Au plating film is succeedingly formed in the soldered-joint field by which the opening was carried out to the cover coat layer 5 by about 0.05 micrometer of thickness for the improvement of the wettability of solder, and the purpose of antioxidizing. As shown in drawing 1 and drawing 2, the soldered joint of the signal pin 3 for input and output was carried out to the electrode 18 for soldered joints on the thick film multilayered ceramic substrate 1 produced at the above process. The used solder material is Au-20wt%Sn (melting point = 280 degrees C).

[0034]The analysis result of a stress-strain diagram which the electrode 18 whole for soldered joints exerts on the thick film multilayered ceramic substrate 1 with the composition produced and connected at the above process, As mentioned above, as a size which avoids superposition of distortion concentrated on the end of each composition film, Each interval L_1 of the peripheral edge of a pattern-openings hole and the peripheral edge of the soldered-joint metal layer 2 which were not covered with the surface cover coat layer 5, and the peripheral edge of the stress relaxation metal layer 4, and L_2 are estranged 0.05 mm or more, and it distributes. By making the size of the through hole opening diameter (ϕD_1) of the layer insulation layer 6 smaller enough than the tip diameter (ϕD_0) of the input output signal pin 3 which connects, The stress-strain diagram of the whole exerted on the thick film multilayered ceramic substrate 1 serves as the characteristic that local concentration was distributed, In the neighborhood, soldered joints, such as a signal pin which has high-reliability with sufficient margin for intensity $\Delta\sigma$ of the thick film multilayered ceramic substrate 1,

are obtained directly or very much to the thick film multilayered ceramic substrate 1, and fatal defective factors, such as destruction of a ceramic substrate, can be improved.

[0035] Then, an artificer etc. use the ceramic wiring board which connected the signal pin for input and output to the electrode for soldered joints built over this invention based on this analysis result, As a result of doing the hauling examination which tears off this signal pin compulsorily, it became the mode which the signal pin itself fractures altogether, and destruction of the ceramic substrate did not take place but the connection which has high-reliability ideal as an electrode for soldered joints was attained.

[0036]

[Effect of the Invention] In this invention, an interlayer insulation film is inserted between a stress relaxation metal layer and a soldered-joint metal layer in the electrode for soldered joints provided directly or very much in the ceramic wiring board in the neighborhood.

Therefore, the thing for which the interval of the peripheral edge of the pattern shape of the cover coat layer which eases stress more and also is formed in the surface, and both metal layers is separated, And superposition of the distortion based on the stress of each component is avoidable by making the path of the through hole opening of an interlayer insulation film smaller than the outer diameter of the root of $1/2$ or less and the signal pin to connect of the outer diameter of $1/2$ or less and the soldered-joint metal layer of the outer diameter of a stress relaxation metal layer, The improvement of the mechanical strength of the electrode for soldered joints to a ceramic substrate is attained, defective factors, such as destruction of a ceramic substrate, can be prevented, and a ceramic wiring board does so the effect that improvement with reliability large also as ceramic wiring board mounting structure is achieved from the first.

[Brief Description of the Drawings]

[Drawing 1] It is a sectional view showing one example of the electrode for soldered joints provided in the rear face of the thick film multilayered ceramic substrate concerning this invention.

[Drawing 2] It is a figure showing one example of the electrode for soldered joints provided in the rear face of the thick film multilayered ceramic substrate concerning this invention, and (a) is a transverse-plane sectional view and (b) is a top view.

[Drawing 3] It is a figure showing the characteristic of the section which shows one example of the electrode for soldered joints which carries out the soldered joint of the signal pin for input and output provided in the rear face of the thick film multilayered ceramic substrate concerning this invention, and the stress distribution which generates the signal pin for input and output in a thick film multilayered ceramic substrate at the time of a soldered joint.

[Drawing 4] It is a main section structure figure in the ceramic wiring board

mounting structure (a thick film, a thin film mixed module board) concerning this invention.

[Drawing 5] It is a figure showing the manufacturing process of the electrode for soldered joints provided in the rear face of the thick film multilayered ceramic substrate concerning this invention.

[Drawing 6] It is a key map showing formation of a metal thin film, and the characteristic of the stress generated when it laminates on a thick film multilayered ceramic substrate.

[Drawing 7] It is a key map showing the characteristic of the stress generated when a metal thin film is laminated on a thick film multilayered ceramic substrate and it solders on it.

[Drawing 8] It is a sectional view showing the electrode for soldered joints which carries out the soldered joint of the signal pin for input and output provided in the rear face of the thick film multilayered ceramic substrate in conventional technology.

[Description of Notations]

1 -- A thick film multilayered ceramic substrate (ceramic wiring board), 2 -- Soldered-joint metal layer

3 [-- Layer insulation layer] -- A signal pin, 4 -- A stress relaxation metal layer, 5 -- A cover coat layer, 6

7, 11 -- A wiring conductor, 8, 13 -- Solder, 9 -- Through hole opening

10 -- A thin film multilevel interconnection circuit, 12 -- A contact button, 14 -- Integrated circuit (LSI)

16 -- A printed-circuit board, 18 -- Electrode for soldered joints

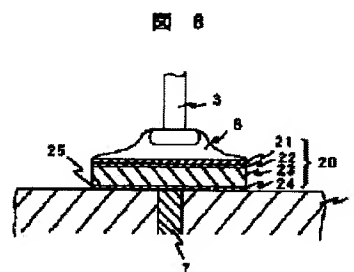
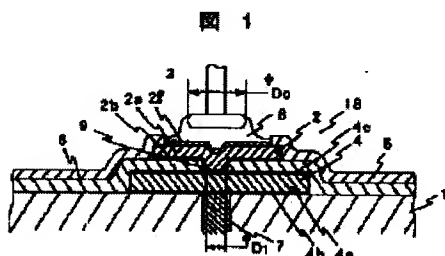


図 2

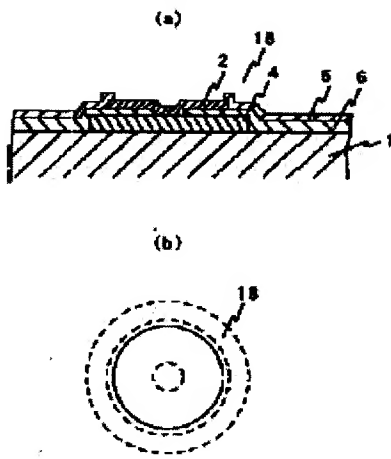
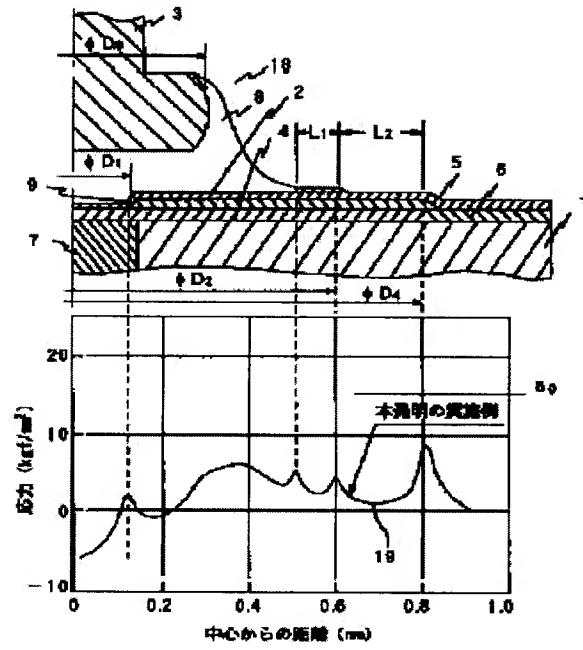
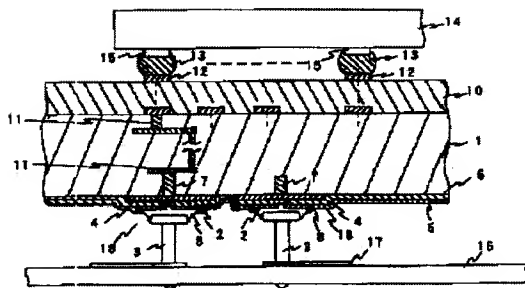


図 3



【図 4】



【図 6】

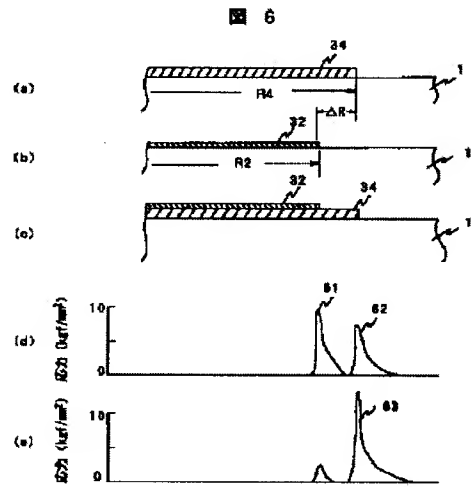


図 5

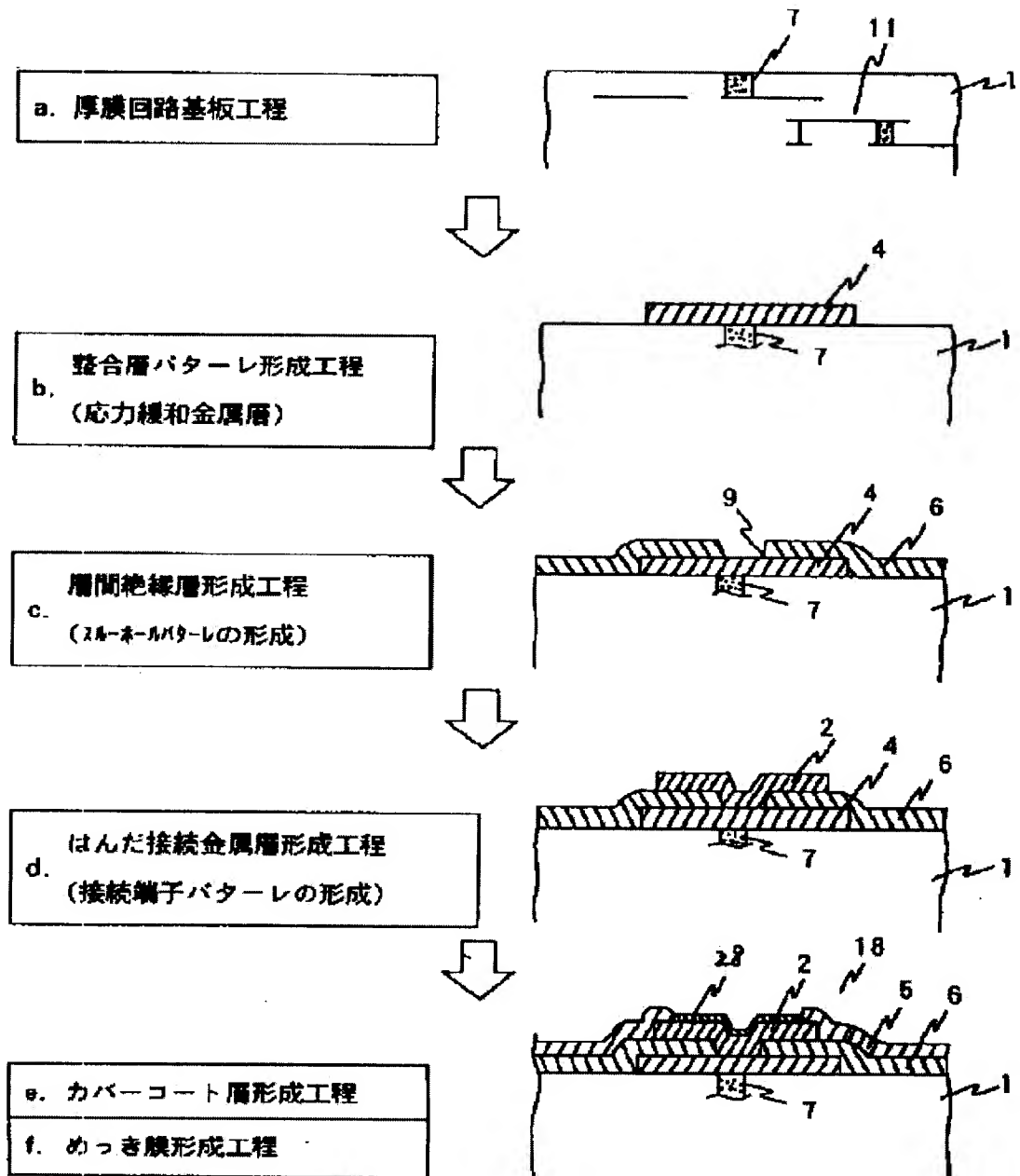
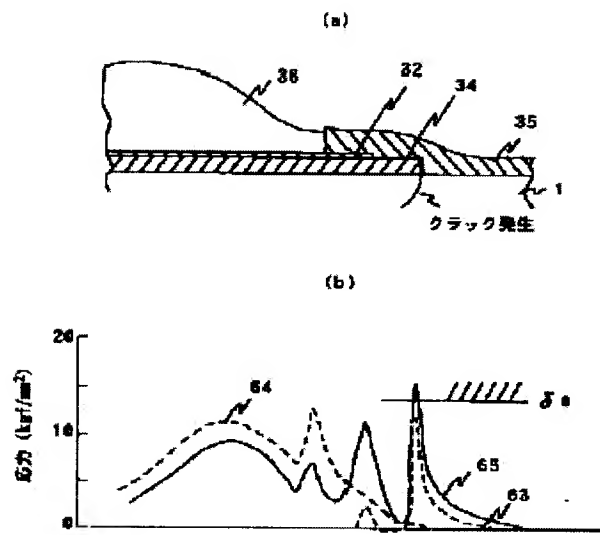


図 7



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-172273

(43)公開日 平成8年(1996)7月2日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K 3/46	H	6921-4E		
	N	6921-4E		
	Q	6921-4E		
H 0 1 L 23/12			H 0 1 L 23/ 12	N
			審査請求 未請求 請求項の数13	OL (全 12 頁)

(21)出願番号 特願平6-312864

(22)出願日 平成6年(1994)12月16日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 藪下 明

神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内

(72)発明者 志髄 英孝

神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内

(72)発明者 伊藤 光子

神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所生産技術研究所内

(74)代理人 弁理士 高橋 明夫 (外1名)

最終頁に続く

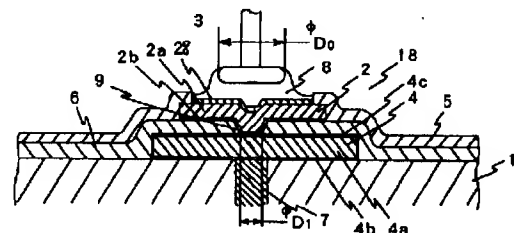
(54)【発明の名称】 セラミック配線基板及びその実装構造体

(57)【要約】 (修正有)

【目的】高信頼性を有するはんだ接続用電極を、厚膜多層セラミックス基板の裏面に形成可能にする。

【構成】セラミック配線基板1の入出力用の信号ピン3を接続する裏面側に、配線導体7と直接接続され、セラミックの裏面に密着した円形状の金属層からなる応力緩和層4を含み絶縁層6と、これに形成された接続用スルーホール開口穴9を通して応力緩和層の表面と密着し、且つ絶縁層の表面を被覆して外径が応力緩和層の外径より小さくした円形状の接続金属層2と、その表面外周部及び側面並びに絶縁層を被覆する有機材料よりなるカバーコート層5とから構成されたはんだ接続用電極18を形成して接続金属層から応力緩和層に加わる応力を接続用スルーホール開口穴により緩和して接続金属層に直接はんだ接続された入出力用の信号ピンを備えて形成したことを特徴とする。

図 1



【特許請求の範囲】

【請求項1】配線導体を内層して裏面及び表面に導かれたセラミック配線基板において、該セラミック配線基板の入出力用の信号ピンを接続する裏面側に、前記配線導体と直接接続され、セラミックの裏面に密着したほぼ円形状の金属層からなる応力緩和層と、該応力緩和層の表面を含みセラミックの裏面を被覆した有機材料よりなる絶縁層と、前記応力緩和層の外径の $1/2$ 以下の径で前記絶縁層に形成された接続用スルーホール開口穴を通して前記応力緩和層の表面と密着し、且つ前記絶縁層の表面を被覆して外径が前記応力緩和層の外径より小さくしたほぼ円形状の接続金属層と、該接続金属層の表面外周部及び該側面並びに前記絶縁層を被覆する有機材料よりなるカバーコート層とから構成されたはんだ接続用電極を形成して前記接続金属層から前記応力緩和層に直接加わる応力を前記接続用スルーホール開口穴により緩和して構成し、該はんだ接続用電極の接続金属層において前記カバーコート層で被覆されていない表面と直接はんだ接続された入出力用の信号ピンを備えて形成したことを特徴とするセラミック配線基板。

【請求項2】配線導体を内層して裏面及び表面に導かれたセラミック配線基板において、該セラミック配線基板の入出力用の信号ピンを接続する裏面側に、前記配線導体と直接接続され、セラミックの裏面に密着したほぼ円形状の金属層からなる応力緩和層と、該応力緩和層の表面を含みセラミックの裏面を被覆した有機材料よりなる絶縁層と、前記入出力用の信号ピンの根元の外径より小さい径で前記絶縁層に形成された接続用スルーホール開口穴を通して前記応力緩和層の表面と密着し、且つ前記絶縁層の表面を被覆して外径が前記応力緩和層の外径より小さくしたほぼ円形状の接続金属層と、該接続金属層の表面外周部及び該側面並びに前記絶縁層を被覆する有機材料よりなるカバーコート層とから構成されたはんだ接続用電極を形成して前記接続金属層から前記応力緩和層に直接加わる応力を前記接続用スルーホール開口穴により緩和して構成し、該はんだ接続用電極の接続金属層において前記カバーコート層で被覆されていない表面と直接はんだ接続された入出力用の信号ピンを備えて形成したことを特徴とするセラミック配線基板。

【請求項3】配線導体を内層して裏面及び表面に導かれたセラミック配線基板において、該セラミック配線基板の入出力用の信号ピンを接続する裏面側に、前記配線導体と直接接続され、セラミックの裏面に密着したほぼ円形状の金属層からなる応力緩和層と、該応力緩和層の表面を含みセラミックの裏面を被覆した有機材料よりなる絶縁層と、該絶縁層に形成された接続用スルーホール開口穴を通して前記応力緩和層の表面と密着し、且つ前記絶縁層の表面を被覆して外径が前記応力緩和層の外径より小さくしたほぼ円形状の接続金属層と、該接続金属層の表面外周部及び該側面並びに前記絶縁層を被覆する有

機材料よりなるカバーコート層とから構成されたはんだ接続用電極を形成して前記接続金属層から前記応力緩和層に直接加わる応力を、前記接続金属層の外径の $1/2$ 以下の径で形成された前記接続用スルーホール開口穴により緩和して構成し、前記はんだ接続用電極の接続金属層において前記カバーコート層で被覆されていない表面と直接はんだ接続された入出力用の信号ピンを備えて形成したことを特徴とするセラミック配線基板。

【請求項4】前記接続用スルーホール開口穴が、前記入出力用の信号ピン側に拡がっていることを特徴とする請求項1又は2又は3記載のセラミック配線基板。

【請求項5】前記応力緩和層を、銅またはアルミニウムを主成分とする応力緩和基材層と、該応力緩和基材層の下面を前記セラミックの裏面と接着させ、前記応力緩和基材層の上面を前記絶縁層と接着させるように、応力緩和基材層の下面および上面に形成したクロムまたはチタンを主成分とする接着金属層とで形成したことを特徴とする請求項1又は2又は3記載のセラミック配線基板。

【請求項6】前記接続金属層を、銅、ニッケル、ニッケルと銅との合金、ニッケルとタングステンとの合金の中から選ばれた少なくとも1種類を主成分とするはんだの拡散防止層と、前記絶縁層と接着させるように前記はんだの拡散防止層の絶縁層側面に形成されたクロムまたはチタンを主成分とする接着金属層と、前記はんだの拡散防止層のはんだ接続面に形成した酸化防止金属層とで形成したことを特徴とする請求項1又は2又は3記載のセラミック配線基板。

【請求項7】配線導体を内層して裏面及び表面に導かれたセラミック配線基板において、該セラミック配線基板の入出力用の信号ピンを接続する裏面側に、前記配線導体と直接接続され、セラミックの裏面に密着した円形状の金属層からなる応力緩和層と、該応力緩和層の表面を含みセラミックの裏面を被覆した有機材料よりなる絶縁層と、前記応力緩和層の外径の $1/2$ 以下の径で前記絶縁層に形成された接続用スルーホール開口穴を通して前記応力緩和層の表面と密着し、且つ前記絶縁層の表面を被覆して外径が前記応力緩和層の外径より小さくした円形状の接続金属層と、該接続金属層の表面外周部及び該側面並びに前記絶縁層を被覆する有機材料よりなるカバーコート層とから構成されたはんだ接続用電極を形成して前記接続金属層から前記応力緩和層に直接加わる応力を前記接続用スルーホール開口穴により緩和して構成し、該はんだ接続用電極の接続金属層において前記カバーコート層で被覆されていない表面と直接はんだ接続された入出力用の信号ピンを備えて形成し、前記セラミック配線基板の表面に配線導体と接続された薄膜多層配線回路を備え、該薄膜多層配線回路の表面に形成されたはんだ接続端子に半導体集積回路をはんだ接続して構成したことを特徴とするセラミック配線基板実装構造体。

【請求項8】配線導体を内層して裏面及び表面に導かれ

たセラミック配線基板において、該セラミック配線基板の入出力用の信号ピンを接続する裏面側に、前記配線導体と直接接続され、セラミックの裏面に密着したほぼ円形状の金属層からなる応力緩和層と、該応力緩和層の表面を含みセラミックの裏面を被覆した有機材料よりなる絶縁層と、前記入出力用の信号ピンの根元の外径より小さい径で前記絶縁層に形成された接続用スルーホール開口穴を通して前記応力緩和層の表面と密着し、且つ前記絶縁層の表面を被覆して外径が前記応力緩和層の外径より小さくしたほぼ円形状の接続金属層と、該接続金属層の表面外周部及び該側面並びに前記絶縁層を被覆する有機材料よりなるカバーコート層とから構成されたはんだ接続用電極を形成して前記接続金属層から前記応力緩和層に直接加わる応力を前記接続用スルーホール開口穴により緩和して構成し、該はんだ接続用電極の接続金属層において前記カバーコート層で被覆されていない表面と直接はんだ接続された入出力用の信号ピンを備えて形成し、前記セラミック配線基板の表面に配線導体と接続された薄膜多層配線回路を備え、該薄膜多層配線回路の表面に形成されたはんだ接続端子に半導体集積回路をはんだ接続して構成したことを特徴とするセラミック配線基板。

【請求項9】配線導体を内層して裏面及び表面に導かれたセラミック配線基板において、該セラミック配線基板の入出力用の信号ピンを接続する裏面側に、前記配線導体と直接接続され、セラミックの裏面に密着した円形状の金属層からなる応力緩和層と、該応力緩和層の表面を含みセラミックの裏面を被覆した有機材料よりなる絶縁層と、該絶縁層に形成された接続用スルーホール開口穴を通して前記応力緩和層の表面と密着し、且つ前記絶縁層の表面を被覆して外径が前記応力緩和層の外径より小さくした円形状の接続金属層と、該接続金属層の表面外周部及び該側面並びに前記絶縁層を被覆する有機材料よりなるカバーコート層とから構成されたはんだ接続用電極を形成して前記接続金属層から前記応力緩和層に直接加わる応力を、前記接続金属層の外径の $1/2$ 以下の径で形成された前記接続用スルーホール開口穴により緩和して構成し、前記はんだ接続用電極の接続金属層において前記カバーコート層で被覆されていない表面と直接はんだ接続された入出力用の信号ピンを備えて形成し、前記セラミック配線基板の表面に配線導体と接続された薄膜多層配線回路を備え、該薄膜多層配線回路の表面に形成されたはんだ接続端子に半導体集積回路をはんだ接続して構成したことを特徴とするセラミック配線基板実装構造体。

【請求項10】配線導体を内層して裏面及び表面に導かれたセラミック配線基板において、該セラミック配線基板の入出力用の信号ピンを接続する裏面側に、前記配線導体と直接接続され、セラミックの裏面に密着したほぼ円形状の金属層からなる応力緩和層と、該応力緩和層の

表面を含みセラミックの裏面を被覆した有機材料よりなる絶縁層と、前記応力緩和層の外径の $1/2$ 以下の径で前記絶縁層に形成された接続用スルーホール開口穴を通して前記応力緩和層の表面と密着し、且つ前記絶縁層の表面を被覆して外径が前記応力緩和層の外径より小さくしたほぼ円形状の接続金属層と、該接続金属層の表面外周部及び該側面並びに前記絶縁層を被覆する有機材料よりなるカバーコート層とから構成されたはんだ接続用電極を形成して前記接続金属層から前記応力緩和層に直接加わる応力を前記接続用スルーホール開口穴により緩和して構成し、該はんだ接続用電極の接続金属層において前記カバーコート層で被覆されていない表面と直接はんだ接続された入出力用の信号ピンを備えて形成し、該入出力用の信号ピンをプリント配線基板に接続したことを特徴とするセラミック配線基板実装構造体。

【請求項11】配線導体を内層して裏面及び表面に導かれたセラミック配線基板において、該セラミック配線基板のはんだ接続される裏面側に、前記配線導体と直接接続され、セラミックの裏面に密着したほぼ円形状の金属層からなる応力緩和層と、該応力緩和層の表面を含みセラミックの裏面を被覆した有機材料よりなる絶縁層と、前記応力緩和層の外径の $1/2$ 以下の径で前記絶縁層に形成された接続用スルーホール開口穴を通して前記応力緩和層の表面と密着し、且つ前記絶縁層の表面を被覆して外径が前記応力緩和層の外径より小さくしたほぼ円形状の接続金属層と、該接続金属層の表面外周部及び該側面並びに前記絶縁層を被覆する有機材料よりなるカバーコート層とから構成されたはんだ接続用電極を形成して前記接続金属層から前記応力緩和層に直接加わる応力を前記接続用スルーホール開口穴により緩和して構成し、該はんだ接続用電極の接続金属層において前記カバーコート層で被覆されていない表面を直接はんだ接続するように形成したことを特徴とするセラミック配線基板。

【請求項12】配線導体を内層して裏面及び表面に導かれたセラミック配線基板において、該セラミック配線基板のはんだ接続される裏面側に、前記配線導体と直接接続され、セラミックの裏面に密着した円形状の金属層からなる応力緩和層と、該応力緩和層の表面を含みセラミックの裏面を被覆した有機材料よりなる絶縁層と、前記応力緩和層の外径の $1/2$ 以下の径で前記絶縁層に形成された接続用スルーホール開口穴を通して前記応力緩和層の表面と密着し、且つ前記絶縁層の表面を被覆して外径が前記応力緩和層の外径より小さくした円形状の接続金属層と、該接続金属層の表面外周部及び該側面並びに前記絶縁層を被覆する有機材料よりなるカバーコート層とから構成されたはんだ接続用電極を形成して前記接続金属層から前記応力緩和層に直接加わる応力を前記接続用スルーホール開口穴により緩和して構成し、該はんだ接続用電極の接続金属層において前記カバーコート層で被覆されていない表面を直接はんだ接続するように形成

し、前記セラミック配線基板の表面に配線導体と接続された薄膜多層配線回路を備え、該薄膜多層配線回路の表面に形成されたはんだ接続端子に半導体集積回路をはんだ接続して構成したことを特徴とするセラミック配線基板実装構造体。

【請求項13】配線導体を内層して裏面及び表面に導かれたセラミック配線基板において、該セラミック配線基板のはんだ接続される裏面側に、前記配線導体と直接接続され、セラミックの裏面に密着したほぼ円形状の金属層からなる応力緩和層と、該応力緩和層の表面を含みセラミックの裏面を被覆した有機材料よりなる絶縁層と、前記応力緩和層の外径の1/2以下の径で前記絶縁層に形成された接続用スルーホール開口穴を通して前記応力緩和層の表面と密着し、且つ前記絶縁層の表面を被覆して外径が前記応力緩和層の外径より小さくしたほぼ円形状の接続金属層と、該接続金属層の表面外周部及び該側面並びに前記絶縁層を被覆する有機材料よりなるカバーコート層とから構成されたはんだ接続用電極を形成して前記接続金属層から前記応力緩和層に直接加わる応力を前記接続用スルーホール開口穴により緩和して構成し、更に前記はんだ接続用電極の接続金属層において前記カバーコート層で被覆されていない表面を直接はんだ接続するように形成したことを特徴とするセラミック配線基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、配線導体を内層して裏面及び表面に導かれた厚膜多層セラミック基板において、特にマイクロソルダリングと呼ばれる微小電極のはんだ付けに好適な接続電極を備えたセラミック配線基板及びその実装構造体に関する。

【0002】

【従来の技術】厚膜多層セラミック基板に、直接入出力用の信号ピンなどをはんだ付けによって実装する高密度実装モジュール回路基板に関する従来技術としては、特開昭63-110697号公報及び特開平6-53648号公報に記載されている。

【0003】前者においては、セラミックまたはポリイミド構造体と銅またはアルミニウム層との間の接着層としてジルコニウム層を用いて回路相互結線を形成することが記載されている。

【0004】また後者においては、厚膜多層セラミックス基板上に、高分子材料から成る絶縁膜と回路配線膜とを交互に積層してなる薄膜配線層を形成した配線基板において、前記薄膜配線層の回路配線膜の一部に電子部品を接続するための接続パッドを形成すると共に該接続パッドの外周端を絶縁膜で被覆することが記載されている。

【0005】

【発明が解決しようとする課題】上記従来技術の後者に

記載されているように、薄膜配線層上に接続パッドを形成して半導体素子を実装する場合は、下地積層膜はポリイミド系樹脂などの比較的弾性率の高い材料構成であるため、これらに作用する剪断力は樹脂層である程度吸収され、セラミック基板に及ぼす影響は緩和され、セラミック基板が破壊される恐れはない。

【0006】しかし、上記従来技術の前者に記載されているように、セラミック基板の裏面に直接或いは極近傍に接続用の電極を形成して、例えば入出力用の信号ピンとはんだ接続する場合は、特に接続電極を構成する積層膜自身の膜応力または比較的使用するはんだ量が多いためはんだ自身の収縮応力などで、接続電極全体によるセラミック基板にかかる応力歪みが増加し、更に接続電極形状に係る歪みの重畳などが原因となってセラミック基板の強度を超えるような応力が局部的に発生してクラックが発生し、セラミック基板を破壊するなど致命的な欠陥が発生することになる。即ち、図8に示すように、厚膜多層セラミックス基板（セラミック構造体）1上に、接着層としての30～2000オングストローム厚さのジルコニウム層24、2～20μm厚さの銅またはアルミニウムまたは金層23、0.5～3.0μm厚さのはんだの反応／拡散防止層24および表面に酸化防止層である0.3～1.0μm厚さの金層21を積層した接続電極20を形成したものである。この状態で信号ピン3をはんだ接続したとき、上記接続電極を構成する薄膜材料自身の膜応力が端部に剪断力として発生し、更に接続電極面に濡れ拡がったはんだの先端にもはんだの収縮応力が発生するため、セラミック基板との接合面の端部25に応力集中が発生することになり、この場所を起点としてセラミック基板にクラックが発生して破壊が発生することになる。このように、上記従来技術の前者においても、セラミック基板の裏面に直接或いはごく近傍に接続用の電極を形成して、例えば入出力用の信号ピンとはんだ接続する場合には、セラミック基板を破壊しないようにする課題については、考慮されていなかった。また上記従来技術の後者においても、セラミック基板を破壊しないようにする課題については、考慮されていなかった。

【0007】本発明の目的は、上記従来技術の課題を解決すべく、厚膜多層セラミックス基板を破壊させない高信頼性を有するはんだ接続用電極を厚膜多層セラミックス基板の裏面に直接或いは極近傍に形成可能にしたセラミック配線基板及びその実装構造体を提供することにある。

【0008】

【課題を解決するための手段】上記目的を達成するために、本発明は、配線導体を内層して裏面及び表面に導かれたセラミック配線基板において、該セラミック配線基板の入出力用の信号ピンを接続する裏面側に、前記配線導体と直接接続され、セラミックの裏面に密着したほぼ

円形状の金属層からなる応力緩和層と、該応力緩和層の表面を含みセラミックの裏面を被覆した有機材料よりなる絶縁層と、前記応力緩和層の外径の $1/2$ 以下の径または前記入出力用の信号ピンの根元の外径より小さい径で、前記絶縁層に形成された接続用スルーホール開口穴を通して前記応力緩和層の表面と密着し、且つ前記絶縁層の表面を被覆して外径が前記応力緩和層の外径より小さくしたほぼ円形状の接続金属層と、該接続金属層の表面外周部及び該側面並びに前記絶縁層を被覆する有機材料よりなるカバーコート層とから構成されたはんだ接続用電極を形成して前記接続金属層から前記応力緩和層に直接加わる応力を前記接続用スルーホール開口穴により緩和して構成し、該はんだ接続用電極の接続金属層において前記カバーコート層で被覆されていない表面と直接はんだ接続された入出力用の信号ピンを備えて形成したことを特徴とするセラミック配線基板である。

【0009】また本発明は、配線導体を内層して裏面及び表面に導かれたセラミック配線基板において、該セラミック配線基板の入出力用の信号ピンを接続する裏面側に、前記配線導体と直接接続され、セラミックの裏面に密着したほぼ円形状の金属層からなる応力緩和層と、該応力緩和層の表面を含みセラミックの裏面を被覆した有機材料よりなる絶縁層と、該絶縁層に形成された接続用スルーホール開口穴を通して前記応力緩和層の表面と密着し、且つ前記絶縁層の表面を被覆して外径が前記応力緩和層の外径より小さくしたほぼ円形状の接続金属層と、該接続金属層の表面外周部及び該側面並びに前記絶縁層を被覆する有機材料よりなるカバーコート層とから構成されたはんだ接続用電極を形成して前記接続金属層から前記応力緩和層に直接加わる応力を、前記接続金属層の外径の $1/2$ 以下の径で形成された前記接続用スルーホール開口穴により緩和して構成し、前記はんだ接続用電極の接続金属層において前記カバーコート層で被覆されていない表面と直接はんだ接続された入出力用の信号ピンを備えて形成したことを特徴とするセラミック配線基板である。

【0010】また本発明は、前記セラミック配線基板において、前記接続用スルーホール開口穴が、前記入出力用の信号ピン側に拡がっていることを特徴とする。また本発明は、前記セラミック配線基板において、前記応力緩和層を、銅またはアルミニウムを主成分とする応力緩和基材層と、該応力緩和基材層の下面を前記セラミックの裏面と接着させ、前記応力緩和基材層の上面を前記絶縁層と接着させるように、応力緩和基材層の下面および上面に形成したクロムまたはチタンを主成分とする接着金属層とで形成したことを特徴とする。また本発明は、前記セラミック配線基板において、前記接続金属層を、銅、ニッケル、ニッケルと銅との合金、ニッケルとタングステンとの合金の中から選ばれた少なくとも1種類を主成分とするはんだの拡散防止層と、前記絶縁層と接着

させるように前記はんだの拡散防止層の絶縁層側面に形成されたクロムまたはチタンを主成分とする接着金属層と、前記はんだの拡散防止層のはんだ接続面に形成した酸化防止金属層とで形成したことを特徴とする。

【0011】また本発明は、配線導体を内層して裏面及び表面に導かれたセラミック配線基板において、該セラミック配線基板の入出力用の信号ピンを接続する裏面側に、前記配線導体と直接接続され、セラミックの裏面に密着した円形状の金属層からなる応力緩和層と、該応力緩和層の表面を含みセラミックの裏面を被覆した有機材料よりなる絶縁層と、前記応力緩和層の外径の $1/2$ 以下の径または前記入出力用の信号ピンの根元の外径より小さい径で、前記絶縁層に形成された接続用スルーホール開口穴を通して前記応力緩和層の表面と密着し、且つ前記絶縁層の表面を被覆して外径が前記応力緩和層の外径より小さくした円形状の接続金属層と、該接続金属層の表面外周部及び該側面並びに前記絶縁層を被覆する有機材料よりなるカバーコート層とから構成されたはんだ接続用電極を形成して前記接続金属層から前記応力緩和層に直接加わる応力を前記接続用スルーホール開口穴により緩和して構成し、該はんだ接続用電極の接続金属層において前記カバーコート層で被覆されていない表面と直接はんだ接続された入出力用の信号ピンを備えて形成し、前記セラミック配線基板の表面に配線導体と接続された薄膜多層配線回路を備え、該薄膜多層配線回路の表面に形成されたはんだ接続端子に半導体集積回路をはんだ接続して構成したことを特徴とするセラミック配線基板実装構造体である。

【0012】また本発明は、配線導体を内層して裏面及び表面に導かれたセラミック配線基板において、該セラミック配線基板の入出力用の信号ピンを接続する裏面側に、前記配線導体と直接接続され、セラミックの裏面に密着した円形状の金属層からなる応力緩和層と、該応力緩和層の表面を含みセラミックの裏面を被覆した有機材料よりなる絶縁層と、該絶縁層に形成された接続用スルーホール開口穴を通して前記応力緩和層の表面と密着し、且つ前記絶縁層の表面を被覆して外径が前記応力緩和層の外径より小さくした円形状の接続金属層と、該接続金属層の表面外周部及び該側面並びに前記絶縁層を被覆する有機材料よりなるカバーコート層とから構成されたはんだ接続用電極を形成して前記接続金属層から前記応力緩和層に直接加わる応力を、前記接続金属層の外径の $1/2$ 以下の径で形成された前記接続用スルーホール開口穴により緩和して構成し、前記はんだ接続用電極の接続金属層において前記カバーコート層で被覆されていない表面と直接はんだ接続された入出力用の信号ピンを備えて形成し、前記セラミック配線基板の表面に配線導体と接続された薄膜多層配線回路を備え、該薄膜多層配線回路の表面に形成されたはんだ接続端子に半導体集積回路をはんだ接続して構成したことを特徴とするセラミ

ック配線基板実装構造体である。

【0013】また本発明は、配線導体を内層して裏面及び表面に導かれたセラミック配線基板において、該セラミック配線基板のはんだ接続される裏面側に、前記配線導体と直接接続され、セラミックの裏面に密着したほぼ円形状の金属層からなる応力緩和層と、該応力緩和層の表面を含みセラミックの裏面を被覆した有機材料よりなる絶縁層と、前記応力緩和層の外径の $1/2$ 以下の径で前記絶縁層に形成された接続用スルーホール開口穴を通して前記応力緩和層の表面と密着し、且つ前記絶縁層の表面を被覆して外径が前記応力緩和層の外径より小さくしたほぼ円形状の接続金属層と、該接続金属層の表面外周部及び該側面並びに前記絶縁層を被覆する有機材料よりなるカバーコート層とから構成されたはんだ接続用電極を形成して前記接続金属層から前記応力緩和層に直接加わる応力を前記接続用スルーホール開口穴により緩和して構成し、更に前記はんだ接続用電極の接続金属層において前記カバーコート層で被覆されていない表面を直接はんだ接続するように形成したことを特徴とするセラミック配線基板である。

【0014】

【作用】ところで、セラミック基板1上に薄膜に代表される金属膜を形成すると、その膜自身の膜応力によってセラミック基板1に応力が発生する。これは、はんだ接続用電極のようなパターンを形成する場合にも、そのパターン形状で応力が集中することになる。金属膜の積層によってセラミック基板1に加わる応力集中の発生の様子を図6に示す。図6(a)は、セラミック基板1上に応力緩和層34として、例えばCu(膜厚:約4 μ m)を所定のパターンに形成した場合を示す。図6(b)は、同様にセラミック基板1上に、接続金属層32として、例えばNi-W合金(膜厚:約2 μ m)を、仮りに応力緩和層34の半径R4よりも半径R2を ΔR 小さくして所定のパターンに形成した場合を示す。図6(c)は、両者の薄膜を積層して所定のパターンに形成した場合を示す。これらの状態で、セラミック基板1面に発生する応力の歪みを、構成材料の物性値を用いて解析した結果が、図6(d)、(e)の特性図であり、図6

(d)は、各薄膜単独の応力を併記して示しており接続金属層32による応力61が、応力緩和層34による応力62より大きな値を示している。しかし、これらを仮りに応力緩和層34の半径R4よりも接続金属層32の半径R2を ΔR 小さくして積層しても、図6(e)に応力63で示すように下層の応力緩和層34の影響で、上層の接続金属層32の端面に発生した歪みは、緩和されるが、積層膜全体では応力緩和層34の端面に大きな歪みが現れている。この状態で、更に図7(a)に示すようにはんだ付け36を行った場合には、仮りにはんだの濡れ面積を抑制するカバーコート層35を形成することにより接続金属層32の外周端とはんだの外周端とを分

離したため歪みの重量を避けることはできるが、図7(b)に示すように、このカバーコート層35にあまり影響を受けることなく、特に接続金属層32の端面にはんだの応力64が加算されることになり、その結果接続金属層32に加わる応力64が接続金属層32の外周まで密着した応力緩和層34へ直接伝搬して応力緩和層34の外周端にセラミック基板1の強度 δ_0 以上の集中応力が加わることになり、セラミック基板1にクラックを発生させてセラミック基板を破壊することになる。

【0015】本発明は、上記解析結果に基づいて創生したものである。即ち、本発明は、前記構成により、入出力用の信号ピン等をはんだ接続するはんだ接続用電極を厚膜多層セラミック基板の裏面に直接形成しても、応力緩和層の外径 ϕD_4 の $1/2$ 以下または接続金属層 ϕD_2 の外径の $1/2$ 以下または入出力用の信号ピンの根元の外径 ϕD_0 より小さい径 ϕD_1 の接続用スルーホール開口穴と、接続金属層と応力緩和層との間に挟まれる有機材料よりなる絶縁層と、接続金属層の表面外周部を被覆するカバーコート層とによって接続金属層において応力歪みを分散させて、上記小さく限定された径 ϕD_1 を有する接続用スルーホール開口穴において接続金属層と応力緩和層とを密着接合することにより応力歪みを応力緩和層へ直接伝搬させるのを低減して応力緩和層の外周端部においてセラミック基板に対して集中応力が生じるのを低減して、セラミック基板にクラックを発生するのを防止でき、即ち、セラミック基板を破壊する等の致命的欠陥の発生を防止でき、高信頼性をもって入出力用の信号ピン等を厚膜多層セラミック基板の裏面に形成されたはんだ接続用電極にはんだ接続を実現することができる。なお、図3に示すはんだ付けの状態から、入出力用の信号ピン3の根元の外径 ϕD_0 は、接続金属層2の外周が $L_1 = \text{約}0.1\text{ mm}$ カバーコート層5で被覆されることを考慮すると、接続金属層2の外径 ϕD_2 の約 $1/2$ の関係となり、接続用スルーホール開口穴の径 ϕD_1 は、信号ピン3の根元の外径 ϕD_0 以下または接続金属層2の外径 ϕD_2 の $1/2$ 以下で形成することが良いことが明らかである。また図3においては、接続金属層2の半径 $\phi D_2/2$ と応力緩和層の半径 $\phi D_4/2$ との差 L_2 が約0.2 mmである場合を示しているが、この差を小さくするように接続金属層2を形成すると、接続用スルーホール開口穴の径 ϕD_1 は、応力緩和層の外径 ϕD_4 の $1/2$ 以下が良いことが明らかとなる。

【0016】更に接続用スルーホール開口穴の径 ϕD_1 は、図3に示す応力特性から、入出力用の信号ピン3の根元の外径 ϕD_0 の $2/3$ 以下が最も望ましい。但し、接続用スルーホール開口穴の径 ϕD_1 が小さくなると接続金属層3と応力緩和層4との接続抵抗が高くなるので、接続用スルーホール開口穴の径 ϕD_1 は40 μ m以上が望ましい。

【0017】即ち本発明は、前記構成により、接続金属

層の表面外周にカバーコート層を形成することではんだの外周端と接続金属層の外周端との重畳を無くし、且つ応力緩和層の外径の $1/2$ または接続金属層の外径の $1/2$ または接続される信号ピン3の根元外径より十分小さい大きさの層間絶縁膜のスルーホール開口径にすることで応力歪みの発生点を分離、分散して応力歪みが応力緩和層へ直接伝搬させるのを低減することにより、セラミック基板の強度に十分なマージンを持つ特性が得られることが確認された。

【0018】特に、本発明に係る計算機用実装モジュール基板などのように、接続実装される信号ピンなどの部品の付け替え作業（リペア）などが必要なケースでは、その都度接続部のはんだが溶融し、拡散反応が進むためリペア回数に応じて接続金属層における拡散防止層金属の膜厚を通常より厚く形成する必要がある。こうした場合においても、セラミック基板を破壊することなく、高信頼性を有する入出力用の信号ピン等のはんだ接続を実現することができる。

【0019】

【実施例】本発明の実施例を図面を用いて具体的に説明する。

【0020】まず、本発明に係るセラミック配線基板を備えた実装構造体について、図4に示す実施例に基づいて説明する。即ち、図4は、セラミック配線基板を備えた実装構造体の主要断面構造図である。厚膜多層セラミック基板1は、裏面に7として導かれ、表面にも導かれた内層配線導体11を有し、アルミナ、ムライト及びガラスセラミックスなどで形成されたものである。この厚膜多層セラミック基板1上には、表面に導かれた配線導体11と接続される配線を、ポリイミド系樹脂などの有機材料を層間絶縁膜として積層した薄膜多層構造を有する薄膜多層配線回路10が形成されている。該薄膜多層配線回路10の表面には、はんだ接続端子12が形成され、該はんだ接続端子12は、半導体集積回路（LSI）14の接続端子15とはんだ13によって接続実装される。

【0021】厚膜多層セラミック基板1の裏面は、裏面に導かれた配線導体7と入出力用の信号ピン3との間で接続するためのはんだ接続用電極18が設けられている。そして厚膜多層セラミック基板1の裏面に多数植設された入出力用の信号ピン3は、配線パターン17を形成したプリント配線板16またはコネクタに挿入されて接続される。なお、入出力用の信号ピン3は、プリント配線板16に挿入後、必要に応じてはんだ付けされる。本発明に係るセラミック配線基板を備えた実装構造体は、以上説明したように構成される。次に、本発明に係る厚膜多層セラミック基板1の裏面に設けられたはんだ接続用電極18の実施例について、図1及び図2を用いて説明する。

【0022】まず、ガラスセラミックス等で形成された

厚膜多層セラミック基板1の裏面には、外径 ϕD_1 が1.2mm～2.0mm（図3においては、約1.6mmを示す。）を有する円形状（円形状に近似した角部が弧状の四辺形状でも良い。）の応力緩和金属層4が、Cr又はTi（膜厚：0.05～0.2 μ m）の接着層4bと、Cu又はAl（膜厚：4～6 μ m）の応力緩和金属層基部4aと、Cr又はTi（膜厚：0.03～0.1 μ m）の接着層4cとから構成されて、密着して接合される。即ち、この応力緩和金属層4は、接着層4bによって、厚膜多層セラミック基板1の裏面と密着して接合されると共に厚膜多層セラミック基板1に埋め込まれた50 μ m～100 μ mの径の配線導体7とも密着して電氣的に接続される。

【0023】この応力緩和金属層4の表面には、ポリイミド系樹脂などの有機材料よりなる層間絶縁層6（膜厚：4 μ m～10 μ m）が被覆され、応力緩和金属層6の表面が露出するように径 ϕD_1 が50 μ m～400 μ mのスルーホール開口9が形成される。なお、図3においては、スルーホール開口9の径 ϕD_1 が240 μ mの場合を示す。またこのスルーホール開口9には、信号ピン3の側が拡がるように、傾きがついている。

【0024】この層間絶縁層6の表面とスルーホール開口9とは、外径 ϕD_2 が1.0mm～1.4mm（図3においては、約1.2mmを示す。）を有する円形状（円形状に近似した角部が弧状の四辺形状でも良い。）のはんだ接続金属層2が、Cr又はTi（膜厚：0.03～0.1 μ m）の接着層2bと、Cu又はNi又はNi-Cu合金又はNi-W合金（膜厚：1.5 μ m～3 μ m）の接続金属層基部2aとから構成されて、スルーホール開口9においては応力緩和金属層4の表面と密着接合され、層間絶縁層6の表面と密着される。即ち、このはんだ接続金属層2は、スルーホール開口9においてのみ、応力緩和金属層4の表面と密着接合される。このように、層間絶縁層6は、ポリイミド系樹脂などの有機材料より構成されているため、はんだ接続金属層2上で生じた応力歪みは、はんだ接続金属層2において分散されて、 ϕD_1 が50 μ m～400 μ mのスルーホール開口9を通してのみ応力緩和金属層2に伝搬することになり、非常に低減されることになる。

【0025】このはんだ接続金属層2の外周を $L_1=50\mu\text{m} \sim 200\mu\text{m}$ 被覆するように前記層間絶縁層6の表面を有機系ポリイミド樹脂膜からなるカバーコート層5（膜厚：3 $\mu\text{m} \sim 7\mu\text{m}$ ）で被覆する。

【0026】このはんだ接続金属層2の表面において、カバーコート層5で被覆されていない開口部（はんだ濡れ領域）は、酸化防止層としてのAuめっき膜（膜厚：約0.05 μm ）28が形成される。このAuめっき膜28は、根元外径： $\phi D_0=\phi 0.4\text{mm} \sim 0.8\text{mm}$ （図3においては、約0.6mmを示す。）（材質：Cu系合金）の入出力用の信号ピン3と、例えば、はんだ

材料：Au-20wt%Sn（融点=280℃）によってはんだ接続される。

【0027】次に、図3に基づいて本発明におけるはんだ接続用電極の構造と対応させて、厚膜多層セラミック基板1の裏面に作用する応力分布(Kgf/mm²)について、説明する。図3において実線19によって示す如く、図7において実線65で示すのと比較すると、応力緩和金属層4の外周端でセラミック基板1を破壊する強度 δ_0 を超えることがなくなった。即ち、実線19から明らかなように、層間絶縁層6は、ポリイミド系樹脂などの有機材料より構成されているため、はんだ接続金属層2上で生じた応力歪みは、はんだ接続金属層2において分散されて、 ϕD_1 が50 μ m~400 μ mのスルーホール開口9を通してのみ応力緩和金属層2に伝搬することになって、応力集中箇所が分散されて、セラミック基板1を破壊する強度 δ_0 に対して余裕を有するようになり、大幅に低減することができ、セラミック基板1にクラックを生じせしめることを防止でき、信号ピン3等をはんだ接続するはんだ接続用電極を、高信頼性を有する状態で、直接若しくは極近傍にセラミック基板1の裏面に設けることを可能にした。これにより、セラミック配線基板を備えた実装構造体としても、セラミック基板1が破壊されることがなく、高信頼性を有するもの得ることができる。

【0028】また、スルーホール開口9の径を、信号ピン3の根元径 ϕD_0 又ははんだ接続金属層2の外径 ϕD_2 の1/2より十分小さくすることで、セラミック基板1を破壊する強度 δ_0 に対して益々余裕をもたせることができる。即ち、信号ピン3の根元径 ϕD_0 の内側領域では、その応力の方向が圧縮の傾向を示す。これは信号ピン3とはんだ材料の熱膨張率(α)とがセラミック基板1の熱膨張率より大きいため、形状変化等による応力集中の影響がない部分は圧縮の応力場となる。この現象から、層間絶縁膜6のスルーホール開口径(ϕD_1)を、信号ピン3の根元径(ϕD_0)又ははんだ接続金属層2の外径 ϕD_2 の1/2より小さくすることにより、はんだ接続金属層2外周端部付近に重畳した応力集中を、層間絶縁膜6のスルーホール開口9の径(ϕD_1)端部近傍の圧縮側の領域に移すことでその影響を無視できる程度に低減できる結果が得られる。更にカバーコート層5の形成によってはんだ接続金属層2の外周端部とはんだ濡れの外周端部との間に L_1 が形成されることによって重畳を分離することができ、セラミック基板1にかかる応力歪み点の分散が、より一層図られ、セラミック基板1の強度 δ_0 に十分なマージンを持ったはんだ接続をセラミック基板1に直接または極近傍において実現することができる。

【0029】次に本発明に係るセラミック配線基板の製造方法について、図5に示す内容に従って説明する。厚膜多層セラミック基板1は、a. 厚膜回路基板工程によ

って製造される。即ち、アルミナ、ムライト及びガラスセラミックスなどの高抵抗材料上に、スクリーン印刷などの手法によって内部導体配線11を印刷してグリーンシートを作成し、これらを積層して焼結することによって製造することができる。

【0030】次にb~fの工程によって、厚膜多層セラミック基板1の裏面に信号ピン3等をはんだ接続するはんだ接続用電極18を製造する。

【0031】まず、b. 整合層(応力緩和金属層)パターン形成工程において、表面が高精度に研磨、平滑化された厚膜多層セラミック基板1の裏面に、はんだ接続金属層2の応力緩和の役割を成す応力緩和金属層4を、下地からCr又はTi/Cu又はAl/Cr又はTiの薄膜をスパッタリングで形成し、ほぼ円形状にエッチングによりパターン化し、配線導体7と接続すると共に厚膜多層セラミック基板1と直接密着させる。それぞれの膜厚は、約0.1 μ m/約5 μ m/約0.05 μ mである。この時、Crの加工には、フェリシアン化カリ/水酸化カリの混合液、Cuの加工には、リン酸/硝酸系の混合液を適用してエッチングする。

【0032】次に、c. 層間絶縁層形成工程において、ポリイミド樹脂を厚膜多層セラミック基板1の裏面上にスピン塗布法で形成し、350℃で熱処理を行うことによって層間絶縁層6を形成する。この形成する膜厚は約6 μ mである。そしてこのポリイミド膜へのスルーホール開口9は、層間絶縁層6の表面に所望のレジストパターンを形成した後、ヒドラジン/エチレンジアミン系の混合液でエッチングする方法、又はあらかじめ感光性の機能を持ったポリイミド樹脂を用いて従来のフォトリソ技術による簡便な方法で加工する。

【0033】次にd. はんだ接続金属層形成工程において、この上にはんだ接続金属層2としてのCr又はTi/Cu又はCu又はNi又はNi-Cu合金又はNi-W合金膜を、応力緩和金属層4と同様な方法、即ちスパッタリングとエッチングとで形成する。膜厚は約0.05 μ m/2 μ mである。この時、Ni-W合金膜のエッチング加工には、フッ酸系のエッチャントを適用する。次にe. カバーコート層形成工程において、表面にカバーコート層5を層間絶縁層6と同様の手法により形成する。この膜厚は約4 μ mである。引き続いてf. めっき膜形成工程において、カバーコート層5に開口されたはんだ接続領域にはんだの濡れ性の改善、また酸化防止の目的でAuめっき膜を膜厚約0.05 μ mで形成する。以上の工程で作製した厚膜多層セラミック基板1上のはんだ接続用電極18に、図1及び図2に示すように入出力用の信号ピン3をはんだ接続した。使用したはんだ材料はAu-20wt%Sn（融点=280℃）である。

【0034】以上の工程で作製、接続した構成で、はんだ接続用電極18全体が、厚膜多層セラミック基板1に及ぼす応力歪みの解析結果は、前述したように、各構成

膜の端部に集中する歪みの重畳を避ける大きさとして、表面カバーコート層5で被覆されなかったパターン開口穴の外周端とはんだ接続金属層2の外周端と応力緩和金属層4の外周端とのそれぞれの間隔 L_1 、 L_2 を、0.05mm以上離間して分散する。また、層間絶縁層6のスルーホール開口径(ϕD_1)の大きさを、接続する入出力信号ピン3の先端径(ϕD_0)より十分小さくすることにより、厚膜多層セラミック基板1に及ぼす全体の応力歪みは局部的な集中が分散された特性となり、厚膜多層セラミック基板1の強度 σ_0 に十分なマージンを持った高信頼性を有する信号ピン等のはんだ接続が厚膜多層セラミック基板1に対して直接若しくは極近傍において得られ、セラミック基板の破壊などの致命的な不良要因を改善することができる。

【0035】引き続き、発明者等がこの解析結果をもとに本発明に係るはんだ接続用電極に入出力用の信号ピンを接続したセラミック配線基板を用いて、この信号ピンを強制的に引き剥がす引っ張り試験を行った結果、すべて信号ピン自身が破断するモードとなりセラミック基板の破壊は起こらず、はんだ接続用電極として理想的な高信頼性を有する接続が達成された。

【0036】

【発明の効果】本発明によれば、セラミック配線基板に直接若しくは極近傍において設けられたはんだ接続用電極において、応力緩和金属層とはんだ接続金属層との間に層間絶縁膜を挿入することにより応力をより緩和し、更に表面に形成するカバーコート層及び両金属層のパターン形状の外周端の間隔を分離すること、及び層間絶縁膜のスルーホール開口の径を、応力緩和金属層の外径の1/2以下又ははんだ接続金属層の外径の1/2以下又は接続する信号ピンの根元の外径より小さくすることにより各構成要素の応力に基づく歪みの重畳を避けることができ、セラミック基板に対するはんだ接続用電極の機械的強度の向上が達成され、セラミック基板の破壊など不良要因を防止することができ、セラミック配線基板はもとより、セラミック配線基板実装構造体としても、信頼性の大幅な向上が図られる効果を奏する。

【図面の簡単な説明】

【図1】本発明に係る厚膜多層セラミック基板の裏面に設けたはんだ接続用電極の一実施例を示す断面図である。

【図2】本発明に係る厚膜多層セラミック基板の裏面に設けたはんだ接続用電極の一実施例を示す図であり、(a)は正面断面図、(b)は平面図である。

【図3】本発明に係る厚膜多層セラミック基板の裏面に設けた入出力用の信号ピンをはんだ接続するはんだ接続用電極の一実施例を示す断面と入出力用の信号ピンをはんだ接続時に厚膜多層セラミック基板に発生する応力分布の特性を示す図である。

【図4】本発明に係るセラミック配線基板実装構造体(厚膜、薄膜混成モジュール基板)における主要断面構造図である。

【図5】本発明に係る厚膜多層セラミック基板の裏面に設けたはんだ接続用電極の製造プロセスを示す図である。

【図6】厚膜多層セラミック基板上に金属薄膜の形成、積層した場合において発生する応力の特性を示す概念図である。

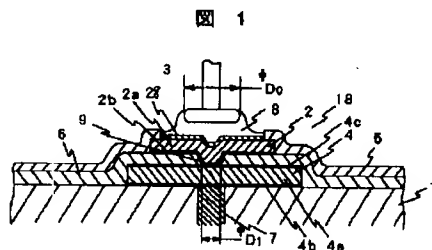
【図7】厚膜多層セラミック基板上に金属薄膜を積層し、その上にはんだ付けした場合において発生する応力の特性を示す概念図である。

【図8】従来技術における厚膜多層セラミック基板の裏面に設けた入出力用の信号ピンをはんだ接続するはんだ接続用電極を示す断面図である。

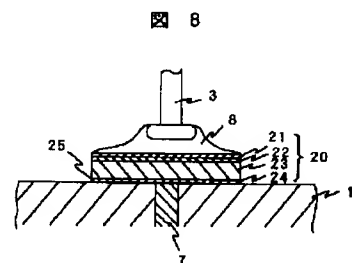
【符号の説明】

- 1…厚膜多層セラミック基板(セラミック配線基板)、
- 2…はんだ接続金属層
- 3…信号ピン、4…応力緩和金属層、5…カバーコート層、6…層間絶縁層
- 7、11…配線導体、8、13…はんだ、9…スルーホール開口
- 10…薄膜多層配線回路、12…接続端子、14…半導体集積回路(LSI)
- 16…プリント配線基板、18…はんだ接続用電極

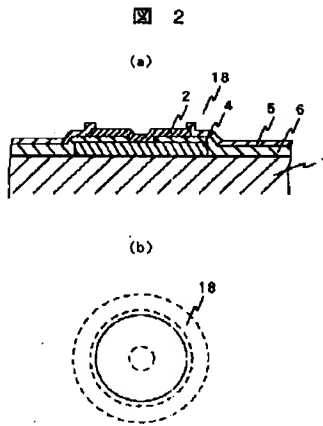
【図1】



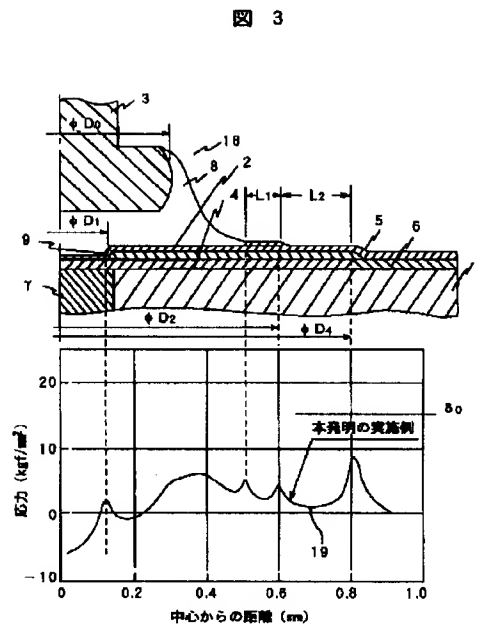
【図8】



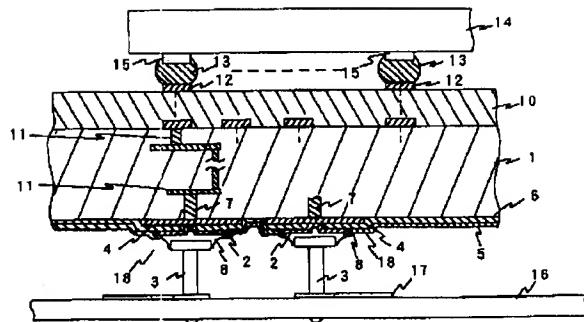
【図2】



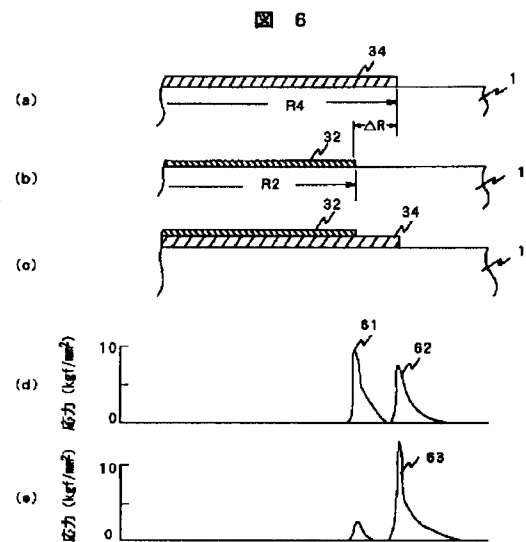
【図3】



【図4】

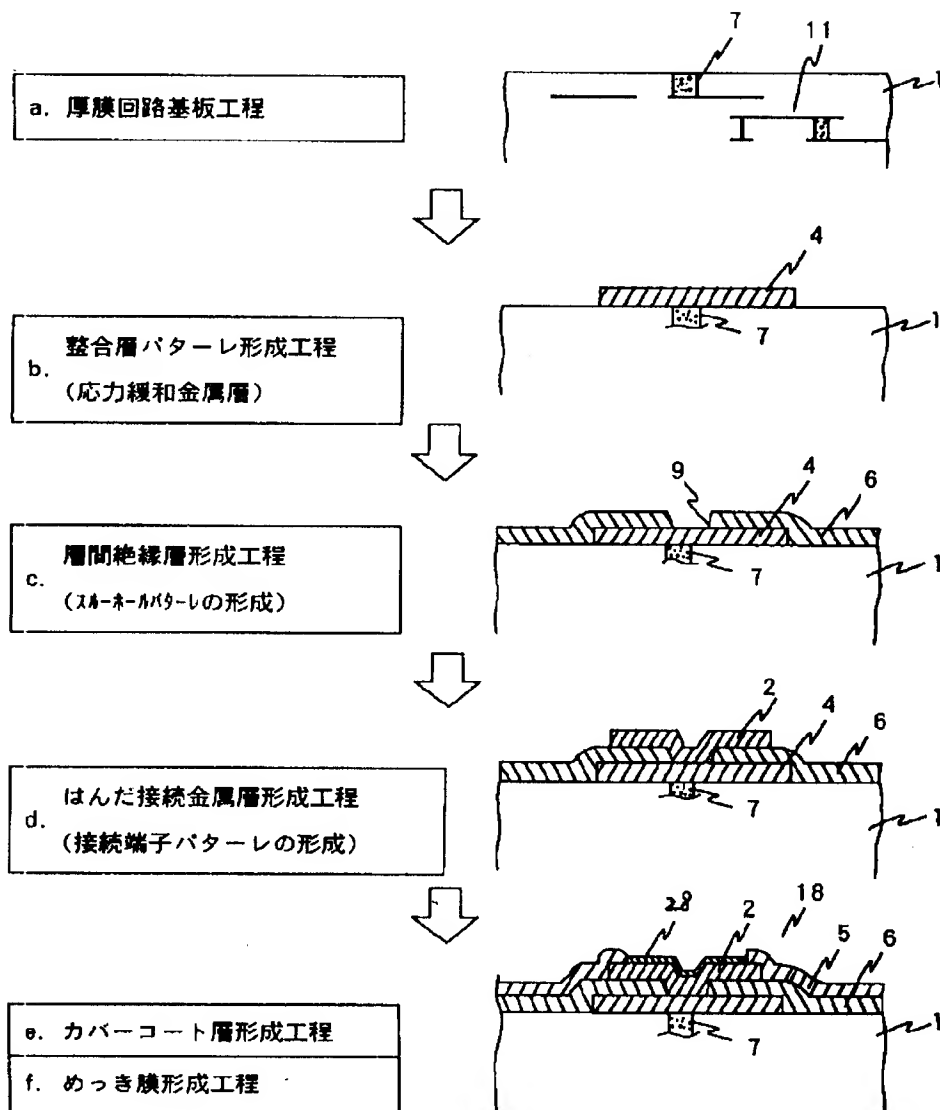


【図6】



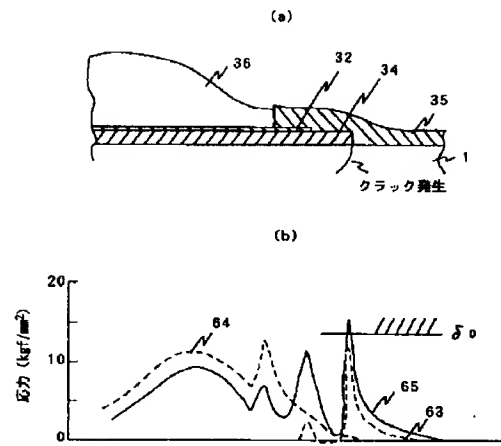
【図5】

図 5



【図7】

図 7



フロントページの続き

(72)発明者 河合 通文
 神奈川県横浜市戸塚区吉田町292番地株式
 会社日立製作所生産技術研究所内

(72)発明者 山田 収
 神奈川県横浜市戸塚区吉田町292番地株式
 会社日立製作所生産技術研究所内

(72)発明者 安藤 昭博
 神奈川県横浜市戸塚区吉田町292番地株式
 会社日立製作所生産技術研究所内

(72)発明者 田中 稔
 神奈川県秦野市堀山下1番地株式会社日立
 製作所汎用コンピュータ事業部内

(72)発明者 太田 敏彦
 神奈川県秦野市堀山下1番地株式会社日立
 製作所汎用コンピュータ事業部内